

This Page Is Inserted by IFW Operations
and is not a part of the Official Record

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

As rescanning documents *will not* correct images,
please do not report the images to the
Image Problem Mailbox.

⑨ 日本国特許庁 (JP)
⑩ 公開特許公報 (A)

⑪ 特許出願公開
昭55—82972

⑫ Int. Cl.³
G 01 R 31/26

識別記号

庁内整理番号
7807—2G

⑬ 公開 昭和55年(1980)6月23日

発明の数 1
審査請求 未請求

(全 5 頁)

⑭ 高密度集積回路のテスト方式

機株式会社北伊丹製作所内

⑮ 特 願 昭53—157251

⑯ 出 願 昭53(1978)12月19日

⑰ 発 明 者 中前美登里

伊丹市瑞原4丁目1番地三菱電

⑱ 出 願 人 三菱電機株式会社

東京都千代田区丸の内2丁目2
番3号

⑲ 代 理 人 弁理士 葛野信一 外1名

明 細 書

1 発明の名称

高密度集積回路のテスト方式

2 特許請求の範囲

(1) 双方向性バスの外づけピンを有する高密度集積回路をシミュレーションして上記高密度集積回路の論理設計の検証をし、上記シミュレーションの結果をテストに供給して上記高密度集積回路の実動試験をするようにした方式において、上記シミュレーションをするシミュレータに双方向性バスのピンの信号をそのままシミュレーションするシミュレーションモデルを備えたことを特徴とする高密度集積回路のテスト方式。

3 発明の詳細な説明

この発明は双方向性バスの外づけピン（以下「双方向性ピン」という。）を有する高密度集積回路(LSI)の論理設計のシミュレーションをし、そのシミュレーションの結果をLSIテストの入力テストパターンとして用いるようなLSIのテスト方式に係り、特に、そのシミュレーションなどにおけ

る双方向性ピンの取扱いの改良に関するものである。

第1図は双方向性ピンを有するLSIの入出力関係の論理回路図で、(1)はLSI、(2)は双方向性ピン、(3)は入力ピン、(4)は出力ピン、(5)は内部回路、(6)は入力信号コントロールゲート、(7)は出力信号コントロールゲートである。入力ピン(3)には常に入力信号IPINのみが入り、出力ピン(4)は常に出力信号OPINが出力されるのみであるが、双方向性ピン(2)は入出力兼用であつて、入力信号INは内部回路(5)から入力のタイミングに発生される信号RDの制御の下にゲート(6)を通過して内部回路(5)へ信号XINとして入力され、また、内部回路(5)によつて発生された出力信号XOUTは内部で出力のタイミングに発生する信号FLTの制御の下にゲート(7)を通過して双方向性ピン(2)へ出力信号OUTとして出力される。このように、入力信号と出力信号との両者に、制御信号によつて時分割的に使用されるピンを双方向性ピンと呼ぶ。

第2図は第1図に示した双方向性ピンを有する

LBIの入出力関係の従来方式によるシミュレーションモデルを示す図で、双方向性ピンの入出力信号は、入力信号 IN と出力信号 OUT とに分けてシミュレーションされる。すなわち、LBI への入力信号 IN はコントロール信号 RD の端子をもつコントロールゲートモデル (6a) を通じて、内部回路のシミュレーションモデル (6a) へ入力されると同時に、シミュレーション結果として外部へ XIN として出力される。また、出力信号 XOUT はコントロール信号 FLT の端子をもつコントロールゲートモデル (7a) を通じて、シミュレーション結果として外部へ OUT として出力される。

第3図は、第2図に示したシミュレーションモデルをコンピュータ上に作成してシミュレーションを実行し、その結果を利用して被試験 LBI をテスト機によってテストするシステムを示すブロック図で、コンピュータ (8) 内のシミュレータ (9a) は2つの用途に用いられる。その1つは LBI の論理設計の検証であり、他の1つは LBI テスタへのテストパターンの発生である。

(3)

力する。インターフェイス・プログラム (12a) は、これらのシミュレーションの出力結果をもとにして、テスト機 (4) への入力可能となる形式で、LBI (1) の各入出力ピンに対するテストパターンを作成し、第2の外部記憶媒体 (5) へ出力する。双方向性ピン (2) に対するテストパターンは、それに関係したシミュレーションの出力信号 RD, XIN, OUT がインターフェイス・プログラム (12a) によって再編成され信号 INOUT として出力される。

テスト機 (4) は第2の外部記憶媒体 (5) からテストパターンを入力し記憶しておき、テスト機 (4) のソケット (4a) に挿入された LBI (1) の各入出力ピンの入出力信号と比較することによって、被試験 LBI (1) をテストする。

ところで、第2図に示した従来のシミュレーションモデル (1a) によるシミュレーション手法では、シミュレータ (9a) から出力されるシミュレーション結果としての出力信号は双方向性ピン (2) に対して RD, XIN および OUT の3種類が出力される。従って述べたように、シミュレータ (9a) は2つの目

(5)

まず、論理設計の検証には、シミュレーションモデル (1a) に入力信号 IN, IPIN を与えて正しい出力信号 RD, XIN, OUT, OPIN, IPIN がシミュレーション結果として出力されるかどうかを出力リスト (4) を照査することによってチェックし、誤った出力結果が見つければ論理設計の段階で図面を訂正すると同時にシミュレーションモデル (1a) も同様に修正する。すべての入力信号の組み合わせに対してシミュレーションを実行し、正しい出力結果が得られれば、このシミュレーションモデル (1a) を用いて、シミュレータ (9a) の第2の用途であるテストパターンの発生を第1の外部記憶媒体 (5)、インターフェイス・プログラム (12a) および第2の外部記憶媒体 (5) を用いて行なう。テスト機 (4) へ入力されるテストパターンは正しいシミュレーションモデル (1a) を用いて設計者が選択した入力信号の組み合わせを入力することによってシミュレーションした結果の出力を第1の外部記憶媒体 (5) へ記憶させ、次に同一または異なるコンピュータ (8) 内のインターフェイス・プログラム (12a) へ入

(4)

的に使用され、第1の目的である設計検証シミュレーションにおいて、出力リスト (4) を照査するに当たって、双方向性ピン (2) は実際の論理図面とは異なつて、上述の3種類の出力信号の出力リストを照査する必要があり、図面と一対一の対応がないので、照査に非常に手数を要するという欠点があった。また、第2の目的であるテストパターンの自動発生についても、シミュレータ (9a) とテスト機 (4) とをつなぐインターフェイス・プログラム (12a) は上記3種類のシミュレーション信号を、双方向性ピン (2) のための1つのテストパターンに再編成せねばならないという欠点があり、更に、このテストパターン再編成のために、インターフェイス・プログラム (12a) をシミュレータ (9a) から独立させて、別に行うためにコンピュータの使用時間も長くなるという欠点があった。

この発明は上述のような点に鑑みてなされたもので、シミュレータに双方向性ピンの入力信号と出力信号とを再結合するためのシミュレーション・ゲートモデルを備えることによって、シミュレ

(6)

ーションの出力結果として、実験の双方向性ピン
の信号と一対一の対応のある出力信号を出力し、
LSIの論理設計検証シミュレーションにおいて、
簡潔で見易い出力リストを提供し、また、シミュ
レーション結果をテストのテストパターンとして
使用する際のシミュレータとテストとのインター
フェイスを容易にし、これによつて、インター
フェイス・プログラムをシミュレータの一部として
組み込むことができ、コンピュータの実行時間の
短い、実用的なLSIテスト方式を提供することを
目的とするものである。

第4図は第1図に示した双方向性ピンを有する
LSIの入出力関係のこの発明によるシミュレーシ
ョンモデルを示す図で、双方向性ピン(2)は双方向
性ゲートモデル (16a) および入力信号用ゲートモ
デル (17a) を用いて図示のようなシミュレーシ
ョンモデル (1b) に置換される。

すなわち、双方向性ピン(2)は従来と同様に入力
信号と出力信号とに分けてシミュレーションされ
るが、この発明によるシミュレーションモデル (1b)

ではシミュレーションゲートモデル (16a), (17a) を
追加することにより、双方向性ピン(2)に関する入
力信号と出力信号とはテスト00のテストパターン
として使用可能な信号 INOUT に再結合されて、シ
ミュレーションモデル (1b) から出力される。

入力信号用ゲートモデル (17a) は入力信号のた
めのフローティング (高インピーダンス) ゲート
モデルであり、制御信号 RD の端子をもっている。
すなわち、信号 RD=1 のときは、ゲートモデル (17a)
の出力には入力信号がそのまま伝達され、RD=0
のときはフローティングを示すコードとして "2"
が出力される。

出力信号用ゲートモデル (16a) は従来のもと同
様であるが、やはり、フローティングゲートモデ
ルであつて、信号 FLT=0 のときコード "2" を出力
する。双方向性ゲートモデル (16a) はゲートモデ
ル (16a) および (17a) のそれぞれの出力信号 OUT お
よび IIN を入力して、第1表に示す真理値表にも
とづいて、動作し、テストパターンのための信号
を出力する。

(7)

(8)

第 1 表		
IIN	OUT	INOUT
Z	Z	Q
m ₁	Z	m ₁
Z	m ₂	m ₂
m ₁	m ₂	エラー

注：Q…テストピンをテストしないことを示
すコード

m₁…入力信号の値 (0 または 1)

m₂…出力信号の値 (0 または 1)

Z…フローティングコード

このゲートモデル (16a) の出力信号が第1図に示
したLSI (1) の双方向性ピン(2)の信号と一対一対
応するものである。第2表はフローティングゲ
ートの真理値表である。

第 2 表		
コントロール 信号	入力	出力
1	m	m
0	m	Z

注：m…信号の値 (0 または 1)

(9)

00

50

第5図はこのようにして得られた新しいシミュ
レーションモデル (1b) をコンピュータ (8) 内のシミュ
レータ (9b) の中に記憶させ、シミュレーション
を実行し、その結果を利用して被試験LSIをテス
タによつてテストするシステムを示すブロック図
である。コンピュータ (8) 上のシミュレータ (9b) は
セグメントとして、従来のインターフェイスプロ
グラム (12a) に対応するプログラム・セグメント
(12b) を備え、シミュレーション実行と同時にテ
ストパターンを自動発生するようになっている。
LSIの論理設計検証するシミュレーションのとき
は、図のスイッチ信号 SW を "0" にして、入力信
号 IN と IPIN とを与えてモデル (1b) をシミュレ
ーションする。この場合、シミュレータ (9b) は出
力リスト00をラインプリンタに出力するのみである。
このようにして、第4図に示した双方向性ゲ
ートモデル (16a) の出力 INOUT が、シミュレーシ
ョン結果としてラインプリンタに印刷される。従つて、
出力リスト00は従来のリスト形式に比して、実際
の双方向性ピン(2)の信号と一対一に対応している

ので、簡潔で見やすい。

論理設計検証シミュレーションが終了し、シミュレーションモデルが作成されると、次はスイッチ信号 SW を "1" にして、シミュレータ (b) を動作させる。この場合、シミュレータ (b) は内部にセグメントとして組込まれたプログラム・セグメント (a) を上述のシミュレーションと並行して実行し、直接テスト (a) へ入力すべきテストパターンを作成して外部記憶媒体 (c) へ出力する。テスト (a) は外部記憶媒体 (c) からテストパターンを入力して記憶しておき、そのテストパターンに対応するシミュレーション結果の入力信号 INOUT', IPIN' および OPIN' をソケット (a) へ挿込まれた LBI (1) の各ピン (2), (3) および (4) の実際の信号 INOUT, IPIN および OPIN と比較することによって LBI のテストを行なう。

上述の説明では双方向性ピンをもつた LBI のテストシステムについて行なつたが、この発明は双方向性バスラインの論理設計検証シミュレーションにも適用可能である。この場合、双方向性バス

ラインには複数の入力および出力ゲートが接続されていても、先の第 1 表に示す真値値表を拡張したシミュレーションゲートモデルをシミュレータの中に備えればよい。

以上詳述したように、この発明では LBI の論理設計シミュレーションにおいて、双方向性ピンに対するシミュレーションゲートモデルを設け、実際のピンの信号と一対一に対応する形式でリスティングされるようにしたので、出力リストの照査が容易になる。そして、シミュレーションの結果をテストに供給するテストパターンに編集する場合に、シミュレータにテストパターン編集機能を内蔵させ得るので、コンピュータの使用時間の短縮とオペレータの作業量が減少する。

4. 図面の簡単な説明

第 1 図は双方向性ピンを有する LBI の入出力関係の論理回路図、第 2 図は第 1 図に示した LBI の入出力関係の従来方式によるシミュレーションモデルを示す図、第 3 図はこの従来のモデルによるシミュレーションとその結果を用いて被試験 LBI



(1)



(2)

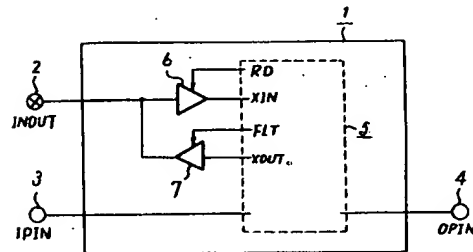
のテストをするシステムを示すブロック図、第 4 図はこの発明による第 2 図に対応するシミュレーションモデルを示す図、第 5 図はこの発明による LBI のテストシステムを示すブロック図である。

図において、(1) は LBI、(1a) はそのシミュレーションモデル、(2) は双方向性ピン、(b) はコンピュータ、(b1), (b2) はシミュレータ、(a) はテストである。

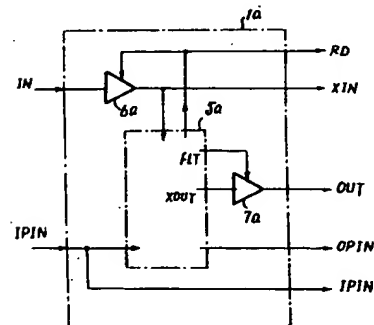
なお、図中同一符号は同一もしくは相当部分を示す。

代理人 葛野信一 (外 1 名)

第 1 図

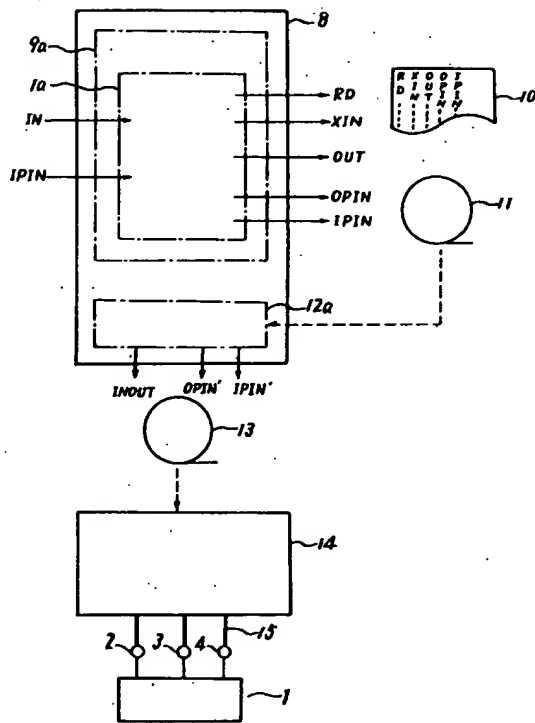


第 2 図

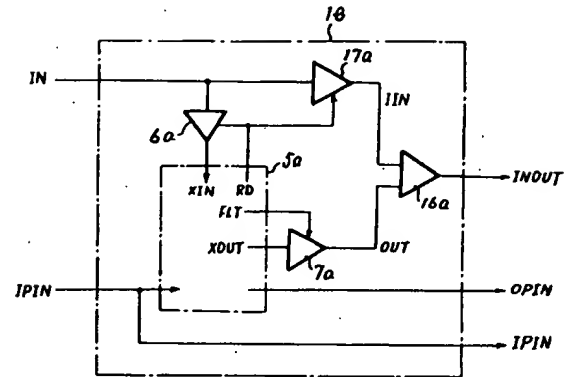


(3)

第 3 図



第 4 図



第 5 図

